This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- BLURRY OR ILLEGIBLE TEXT
- SKEWED/SLATED IMAGES
- COLORED PHOTOS
- BLACK OR VERY DARK BLACK AND WHITE PHOTOS
- UNDECIPHERABLE GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

JP 62-122275 303.356us1

2/9/1
DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.
02205375 **Image available**

MIS TYPE SEMICONDUCTOR DEVICE

PUBLISHED: June 03. 1987 (19870603)

PUBLISHED: June 03, 1987 (19870603)
INVENTOR(s): YAMAMOTO HIDEKAZU

ASAI SOTOHISA IWADE SHUHEI YUYA NAOKI

APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or

Corporation), JP (Japan)

APPL. NO.: 60-262749 [JP 85262749]

FILED: November 22, 1985 (19851122)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097

(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);
R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements, CCD &

BBD)

JOURNAL: Section: E, Section No. 554, Vol. 11, No. 341, Pg. 141,

November 07, 1987 (19871107)

ABSTRACT

PURPOSE: To eliminate the effect of an interface level and to obtain a highly reliable semiconductor device, by changing the composition of amorphous semiconductors, and providing the minimum value of a forbidden band at a part inner than the interface between an insulating film and the semiconductor.

CONSTITUTION: On an insulating substrate 5, a gate electrode 6 is formed. A gate insulating film 1, amorphous semiconductors, e.g., amorphous silicon carbide layers 2 and 4, and an amorphous silicon layer 3 are formed in the same film growing tank. Thereafter, source and drain electrodes 7 and 8 are formed. By forming the amorphous semiconductors having the different forbidden bands at the interface between the insulating film and the semiconductors, a potential well is formed. Since carrier charge is present in this well, the effect of the interface level is not received. In the MIS type FET having such a structure, a current path is formed as shown by an arrow, and the effect of the interface level is not exerted, too.

⑪日本國特許庁(JP)

10 特許出願公開

砂公開特許公報(A)

昭62-122275

ூர்ர⊾்,Cl.⁴ H 01 L 2 雕別記号

厅内整理番号

公公開 昭和62年(1987)6月3日

8422-5F 7514-5F

審査請求 未請求 発明の数 1 (全4頁)

図発明の名称 MIS型半導体装置

到特 顋 昭60-262749

❷出 順昭60(1985)11月22日

砂発 明 者 山 本 秀 和 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・ アイ研究所内

砂発 明 者 浅 井 外 壽 伊丹市瑞原4丁目1番地 三**医電機株式会社エル・エス・** アイ研究所内

②発 明 岩 岩 出 秀 平 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・ アイ研究所内

母 明 者 油 谷 **直 数 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・** アイ研究所内

⑪出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑪代 理 人 弁理士 大岩 增雄 外2名

明 編 18

1. 類例の名称

MIS型半海体强性

2. 修許証求の短囲

- (1) 弁務資本導体とゲート絶額膜とゲート循極からなるMIS型半導体級関において、前配非晶質半導体の組成を変化させ短線膜ー半部体界面より内部に原則形幅の最小値をもたせたことを特徴とするMIS原半導体装置。
- (2) 非風質半線体が3階からなり、中央間の様制が幅が延小であることを特徴とする特許額求の 範囲訊(1)項記証のM (5 悪半海体整體。
- 3. 発明の詳細な製明

【遊集上の利用分野】

との処明は、関体線位案子のスイッチング素子や、液品ディスプレイの駆動素子に用いられる非の質半導体を用いたMIS型半導体整體に関するものである。

(従来の技術)

- 第3日はエレチトロニタス レークオ(Electronics Letters)

vol. 1.8(1982)P599に示された他来の非路費半球体を用いたMIS類PETの断面図であり、脳において、1はゲート粒雑額、3は非品質シリコン、5は純維苗板、6はチャネルを利割するゲート電極、7.8は電流を取り出すソース、ドレイン電極である。

次に操作について説明する。ドレイン問題日から、ソース階層7に連する選読連絡を矢印で示してある。電流は非異質レリコン3中を一度能方向に通り、ゲート地域試「の界面に運する。その後、電流は絶縁腰一半導体の界面に形成されたチャネルを通りソース部に建し、再び被方向に流れ、ソース電板7より外部に取り出される。

【発明が解決しようとする興趣点】

世界のMIS型半導体装置は以上のように構成され、魚作しているので、昇瀬単位の影響を強く 受け、アレイン電磁が長時機にわたり無少型のドリフトを示す等の開戦点があった。

この発明は、上記のような問題点を解消するためになされたもので、チャネル機域を絶疑原一半

排体界質から違ぎけ、界面単位の影響をなくする。 とができる非晶質半導体を用いたMIS型半導体 装置を得るととを目的とする。

【問題点を解決するための手数】

この類例に係る非異型半導体を用いたM L S 型半導体整理は、非異質半導体の組成を変化させ、 組織健一半導体が耐より内部に凝倒付幅の最小値 をもだせたものである。

(作用)

との発明においては、非易質半準件の類別等級の変化により、絶疑関一半導体評価から離れたところにポテンシャルの井戸が形成される。キャリア地間は、この部分に存在するため、評談単位の影響を受けないようにする。

(安藤()

第1回はこの発明の一支施例である非品質半等体を用いたMIS皮ドETの新面図であり、第2回はこの発明における特徴的なパンド節である。

取る図において、1 はゲート物種数、2 , 4 は 非路側半導体、例えば非晶質数化シリコンであり、

3は非風質シリコンである。絶縁弱板5上にゲート電極6を形成し、ゲート絶縁膜1、非風質半導体すなわら非風質炎化シリコン2、4 および非愚質シリコン3を買っの成業権内で機関した後、ソース、ドレイン維護7、8を形成する。

第2回に示したように、 秘様戦ー半導体界面に 類削が幅の異なるアモルファス半導体を形成する ことにより、ポテンシャルの非戸が形成される。 するとキャリア環境は、 この井戸に存在するため、 界面準位の影響を受けないようになる。

てのような構造をもつMIS壁を立てにおいては、 電流通路は第1日の矢印のごとくなり、やはり界 西面位の影響を受けないようになる。なお、第2 関で、Bとは伝導性、Eとは所電子性、Eとはフェルミレベルを示す。

なお、上記実施例では、非品質半等体として非品質炎化シリコンおよび非晶質シリコンを用いたものを示したが、類例符幅の大きな半導体に非品質変化レリコン、無限符幅の小さな半導体に非思質シリコンゲルマニウム、非品質シリコンスズを

用いてもよい。さらに鎮伽帯幅の変化は、象層的なものではなく、迎鏡的なものでもよい。

また上記支援のではゲート電極Bとソース電腦ファドレイン電腦Bが結婚膜ー半導体界面をはさいスクガ電循構造のMIS型ドミTの場合について説明したが、ゲート電腦Bとソース電腦ファドレイン電腦Bが、同じ個にあるコプレーデ電腦構図のMIS型ドミTやCCD等の他のMIS型半線体後置であってもよく、上記実施例と同様の効果を美する。

(発明の効果)

4. 個面の簡単な説明

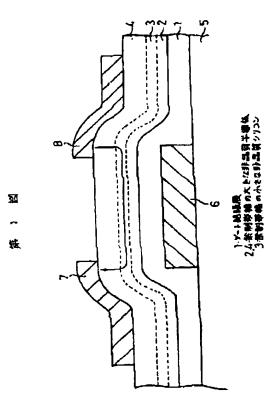
第1回はこの発明の一度振明によるMIS型を 立てを示す断節回、第2回はその発明における特 傾的なパンド回、第3回は従来のアモルファス半 導体MIS種でETを示す断面関せある。

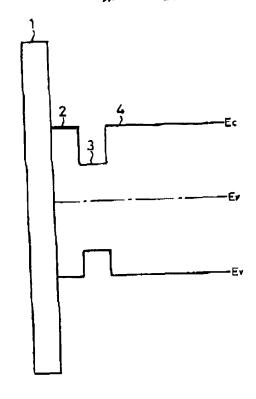
図において、1 はゲート物様様、2、4 は景例 併構の大きな非晶質半導体、3 は無関帯幅の小さ な非晶質シリコンである。

なお、各種中の同一符号は同一または相当部分 を示す。

代理人 大 岩 增 唯 (外 3 名)

第 2 図





統 補 正 青(日茲) 61 7 22 年 月 日 昭和

特許庁長官殿

画

1. 事件の表示

特額昭 80-282748サ

2. 発明の名称

MIS遊水並伊奈茲

3、袖正をする者

事件との関係 神許出華人

東京都千代田区丸の内二丁目2番3号

住 所名 释 (601)三菱電機株式全社

代查者 宏 岐 守 战

4.代 现 入

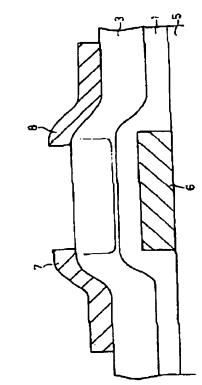
住 帐

東京部千代田区九の内二丁目2番3号

三菱電優株式会社內

(7375) 弁理士 大 岩 増 雄 (准新元G3(213) 342(科所部)





Z

铄

5 . 稲正の対象

明細書の発明の詳細な説明の個。

- 8、新正の内容
- (i) 明和 路 l 点 2 O 行の「レータズ」を、「 レターズ」と稀正する。
- (2) 同じく部2貸10行の「ゲート絶職順1の 外面」を、「ゲート絶機限1との発面」と掲正する。
- (7) 同じく約3頁14行の「受けないようにする。」を、「受けないようになる。」と被罪す
- (4) 同じく的も夏14行の「最少値が」を、「 最少値を」と新正する。

. ..

- -----

U L

384 ...